

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-277009

⑤ Int.Cl.<sup>5</sup>

H 03 H 17/02  
17/06

識別記号

L  
Z

庁内整理番号

7259-5 J  
7259-5 J

⑬ 公開 平成3年(1991)12月9日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 直線位相FIR型デジタルフィルタ用演算プロセッサ

⑯ 特 願 平2-78070

⑰ 出 願 平2(1990)3月27日

⑱ 発 明 者 須 永 順 子 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

直線位相FIR型デジタルフィルタ用演算プロセッサ

特許請求の範囲

直線位相FIR型デジタルフィルタのフィルタ係数を格納する係数RAMと、前記係数RAMのアドレスを指定する係数RAMポインタと、直線位相FIR型デジタルフィルタの単位遅延素子による遅延データを格納するデータRAMと、前記データRAMのアドレスを指定する第1および第2のデータRAMポインタと、前記第1のデータRAMポインタによって指定される前記データRAMの内容と前記第1および第2のデータRAMポインタの指定するアドレス和によって指定される前記データRAMの内容とを加算する少なくとも1つの加算器と、前記加算器から読み出したデータを直線位相FIR型デジタルフィルタ

タの演算における乗数として登録する乗数用レジスタと、前記係数RAMから読み出したデータを直線位相FIR型デジタルフィルタの演算における非乗数として登録する非乗数用レジスタと、前記乗数用レジスタと、非乗数用レジスタの内容を乗数する乗数器と、前記乗数器の結果を登録する乗数結果用レジスタとを備えて成ることを特徴とする直線位相FIR型デジタルフィルタ用演算プロセッサ。

発明の詳細な説明

(産業上の利用分野)

本発明は直線位相FIR型デジタルフィルタ用演算プロセッサに関し、特に、データRAMから遅延データの読み出しを改良することにより直線位相FIR型デジタルフィルタを高速に演算する直線位相FIR型デジタルフィルタ用演算プロセッサに関する。

(従来の技術)

直線位相FIR型デジタルフィルタはよく知

られている。第4図は直線位相FIR型デジタルフィルタの構成図である。第4図はフィルタ長が512タップである場合を例とし、 $a_0, a_1, \dots, a_{511}$  はフィルタ係数、 $Z^{-1}$  は単位遅延素子、また  $S_1, S_2, \dots, S_{511}$  は加算器を示す。

この直線位相FIR型デジタルフィルタの演算は次の(1)式で表すことができる。

$$y_n = a_0 X_n + a_1 X_{n-1} + a_2 X_{n-2} + \dots + a_{509} X_{n-509} + a_{510} X_{n-510} + a_{511} X_{n-511} \quad \dots (1)$$

ここで直線位相FIR型デジタルフィルタは、 $a_0 \sim a_{511}$  で示されるフィルタ係数が対称なので(1)式は次の(2)式のように表すことができる。

$$y_n = a_0 X_n + a_1 X_{n-1} + a_2 X_{n-2} + \dots + a_2 X_{n-509} + a_1 X_{n-510} + a_0 X_{n-511} \quad \dots (2)$$

第3図は従来の直線位相FIR型デジタルフィルタ用演算プロセッサの構成図である。

第3図に示す直線位相FIR型デジタルフィ

ルタ用演算プロセッサは、第4図に示すフィルタ係数  $a_0 \sim a_{511}$  を格納する係数RAM305と、係数RAMのアドレスを指定する係数RAMポインタ306と、単位遅延素子  $Z^{-1}$  による遅延データを格納するデータRAM308と、RAM308のアドレスを指定するデータRAMポインタ309と、データRAM308の読出しデータを登録する乗数用レジスタ302と、係数RAM305の読出しデータを登録する非乗数用レジスタ303と、乗数用レジスタ302と非乗数用レジスタ303の読出しデータを(2)式にもとづいて乗算する乗算器301と、乗算器301の乗算結果を登録する乗算結果レジスタ304を備えて成り、乗算結果はこの後(2)式にもとづく加算が行われて直線位相FIR型デジタルフィルタの特性  $y_n$  が算出される。

一般に、デジタル信号処理では、係数RAMの内容とデータRAMの内容を積和演算する処理が非常に多い。積和演算の加(和)算はALUと呼ばれる演算器で行い、乗(積)算は乗算器で行

う。係数RAM305の内容とデータRAM308の内容との乗算を効率的に行うために、係数RAM305と非乗数用レジスタ303との専用バス307と、データRAM308と乗数用レジスタ302との専用バス310とを設け、1つのタイミングで乗数用レジスタ302と非乗数用レジスタ303へデータがセットできるようになっている。

ここで、(2)式の演算式を第3図の従来のデジタルフィルタ用演算プロセッサで処理することを考えてみる。

第5図は第3図のデータRAM308と係数RAM305のRAMマップを示す図である。

フィルタ長が512タップなので、係数RAM305に格納するフィルタ係数、データRAM308に格納する遅延データいずれも512データずつを要する。フィルタ係数に関しては対称なので256データのみを用意すればいいように思えるが、通常は  $+a_n X_{n-n}$  → データRAM/係数RAMポインタ・インクリメントで示される1

タップ分の積和演算のプログラムをサブルーチン化し、必要なタップ数分繰り返すというプログラム構造をとるため、係数RAMポインタ306に関しインクリメント動作だけを行うように使用する順番に512データ用意することが必要となる。

さて、処理時間は従来のデジタル信号処理プロセッサでは、 $+a_n X_{n-n}$  → データRAM/係数RAMポインタ・インクリメントの命令群を1命令サイクルで実行するので512命令サイクルである。ここで(2)式を(3)式のように変形して処理することを考えてみる。

$$y_n = a_0 (X_n + X_{n-511}) + a_1 (X_{n-1} + X_{n-510}) + a_2 (X_{n-2} + X_{n-509}) + \dots + a_{254} (X_{n-254} + X_{n-254}) + a_{255} (X_{n-255} + X_{n-255}) \quad \dots (3)$$

(3)式は変形積和算の形をとっていて、乗(積)算256回、加(和)算512回からなるものとすることができる。

〔発明が解決しようとする課題〕

上述した従来の直線位相FIR型デジタルフィルタ用演算プロセッサは、(3)式に示す変形積和算の演算形式で演算量の削減を考えたとしても、前述した

$+a_n \times x_{n-1}$ —データRAM/係数RAMポインタ・インクリメントの命令群を1命令サイクルで実行するので、(3)式の場合は加(和)算の回数で処理時間が決定されてしまい、その処理時間は(2)式の場合と同様512命令サイクルである。また、乗(積)算は256回なので、乗算器の稼働は半分となりパフォーマンスが極めて悪いという欠点がある。

このように、フィルタ係数が対称である直線位相FIR型デジタルフィルタの処理を考えると、必要以上に係数RAM容量が大きくなり、処理時間が長くなるという欠点がある。また、メモリの容量はLSIのコスト決定の上で大きなファクターを占めており、係数RAMの容量の増大は大幅なコストアップにつながるという欠点がある。

器と、前記加算器から読み出したデータを直線位相FIR型デジタルフィルタの演算における乗数として登録する乗数用レジスタと、前記係数RAMから読み出したデータを直線位相FIR型デジタルフィルタの演算における非乗数として登録する非乗数用レジスタと、前記乗数用レジスタと、非乗数用レジスタの内容を乗数する乗数器と、前記乗数器の結果を登録する乗数結果用レジスタとを備えて構成される。

(実施例)

次に、図面を参照して本発明を説明する。

第1図は本発明の一実施例の構成図であり、直線位相FIR型デジタルフィルタのフィルタ係数を格納する係数RAM105と、係数RAM105のアドレスを指定する係数RAMポインタ106と、直線位相FIR型デジタルフィルタの単位遅延素子による遅延データを格納するデータRAM108と、データRAM108のアドレスを指定する第1および第2のデータRAMポインタとしてのデータRAMポインタ(A)109

本発明の目的は上述した欠点を除去し、直線位相FIR型デジタルフィルタの処理において、係数RAMの容量の低減、処理時間の短縮を図ることができ、大幅なコストダウンが得られる直線位相FIR型デジタルフィルタ用演算プロセッサを提供することにある。

(課題を解決するための手段)

本発明の直線位相FIR型デジタルフィルタ用演算プロセッサは、直線位相FIR型デジタルフィルタのフィルタ係数を格納する係数RAMと、前記係数RAMのアドレスを指定する係数RAMポインタと、直線位相FIR型デジタルフィルタの単位遅延素子による遅延データを格納するデータRAMと、前記データRAMのアドレスを指定する第1および第2のデータRAMポインタと、前記第1のデータRAMポインタによって指定される前記データRAMの内容と前記第1および第2のデータRAMポインタの指定するアドレス和によって指定される前記データRAMの内容とを加算する少なくとも1つの加算

およびデータRAMポインタ(B)110と、データRAMポインタ(A)109によって指定されるデータRAM108の内容とRAMポインタ(A)109およびデータRAMポインタ(B)110の指定するアドレス和によって指定されるデータRAM108の内容とを加算する加算器としての加算器111、112から読み出したデータを直線位相FIR型デジタルフィルタの演算における乗数として登録する乗数用レジスタ102と、係数RAM105から読み出したデータを直線位相FIR型デジタルフィルタの演算における非乗数として登録する非乗数用レジスタ103と、前記乗数用レジスタと、非乗数用レジスタの内容を乗数する乗数器101と、乗数器101の結果を登録する乗数結果用レジスタ104とを備えて構成される。

次に、第1図の実施例の動作について説明する。なお、第3図のほぼ同一の乗算ブロックたる乗算器1、乗数用レジスタ102、非乗数用レジスタ103、乗算結果用レジスタ104、ならび

に係数RAMブロックたる係数RAM105および係数RAMポインタ106に関する個々の詳細な説明は省略する。

第1図の実施例が第3図に示す従来のものと異なる点は、従来1つであったデータRAMポインタ309に対し、第1のデータRAMポインタとしてのデータRAMポインタ(A)109に加え、第2のデータRAMポインタたるデータRAMポインタ(B)110を設けた点と、データRAMポインタ(A)109が指定するデータRAM108の内容とデータRAMポインタ(A)109+データRAMポインタ(B)110が指定するデータRAM108の内容を乗数用レジスタ102へ入力する前に加算するための加算器110と112を設けた点である。

データRAMポインタ(A)119はその第0ビット目をインクリメントしていき、データRAMポインタ(B)110は第1ビット目に対しデクリメントしていく。

本実施例は(3)式で現される演算式を処理する

のに適した構造になっている。

第2図は第1図の実施例におけるデータRAM108と係数RAM105のRAMマップを示す図である。

フィルタ長が512タップであるが、係数RAM105に格納するフィルタ係数は256データのみを用意する。本実施例の直進位相FIR型デジタルフィルタ用演算プロセッサでは

$$+a_n(X_{n-1} + X_{n-(511-n)})$$

→データRAM/係数RAMポインタ更新で示される2タップ分の積和演算のプログラムをブルーチン化し、必要なタップ数/2を繰り返すというプログラム構造をとる。

$(X_{n-1} + X_{n-(511-n)})$ の演算はデータRAMの出力部分でハードウェアの加算器によって行うので、“加算”というマイクロ・プログラムを解釈して、命令デコーダ・シーケンス・コントローラにより“加算”という制御を行う演算器における処理に比較すると処理時間は格段に短く、これにより処理時間が規定されてしまうようなものでは

ない。したがって

$+a_n(X_{n-1} + X_{n-(511-n)})$  →データRAM/係数RAMポインタ更新の命令群を1命令サイクルで実行できる。

フィルタ長が512タップの場合はデータRAMポインタ(A)109に0を、データRAMポインタ(B)110に1FFHを、また係数RAMポインタ106に0を初期設定しておく。

$(X_{n-1} + X_{n-(511-n)})$ の対象となる2つのデータをRAM108からアクセスする時に、 $X_{n-1}$ はデータRAMポインタ(A)109でアクセスし、 $X_{n-(511-n)}$ はデータRAMポインタ(A)109+データRAMポインタ(B)110でアクセスする。

$+a_n(X_{n-1} + X_{n-(511-n)})$  →データRAM/係数RAMポインタ更新の命令群により

$$a_n(X_{n-1} + X_{n-(511-n)})$$

→データRAMポインタA更新(1H)

データRAMポインタB更新(1FDH)

係数RAMポインタ更新(1H)

が実行され、同命令群により

$$a_n(X_{n-1} + X_{n-(511-n)})$$

→データRAMポインタA更新(2H)

データRAMポインタB更新(2FDH)

係数RAMポインタ更新(2H)

が実行され、以下254回繰り返す。

その処理時間は256命令サイクルである。また、係数RAM105の容量も従来と比較し1/2に低減できる。

$X_{n-(511-n)}$ のアクセスに独立したデータRAMポインタ(B)110を使用しないのは、データRAMポインタ(A)109+データRAMポインタ(B)110で使用するによりオフセット値という概念を導入できるからである。たとえば、データRAM108の1FEHに $X_{n-511}$ 、1FFHに $X_{n-510}$ 、…0Hに $X_{n-1}$ 、1Hに $X_{n-2}$ が格納されている場合でもデータRAMポインタ(A)109に $X_{n-1}$ が格納されている1FFHを初期設定し、データRAMポインタ(B)110は常に1FFHを初期設定するだけでよく、アド

レス管理が容易になる。

このようにして直線位相FIR型デジタルフィルタを処理する場合に、係数RAM107の容量の著しい低減、処理時間の大幅な短縮を図ることができる。

〔発明の効果〕

以上説明したように本発明の直線位相FIR型デジタルフィルタ用演算プロセッサは、RAMのアドレスを指定するデータRAMポインタを2つのデータRAMポインタ(A)およびデータRAMポインタ(B)とし、データRAMポインタ(A)が指定するデータRAMの内容とデータRAMポインタ(A)+データRAMポインタ(B)が指定するデータRAMの内容とを加算することにより、直線位相FIR型デジタルフィルタの処理において、LSIのコストダウンに寄与する係数RAM容量の著しい低減、処理時間の大幅な短縮を図ることができる効果がある。

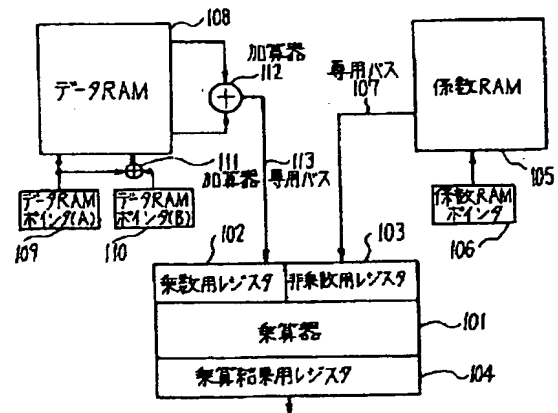
図面の簡単な説明

S<sub>1</sub>〜S<sub>511</sub>…加算器。

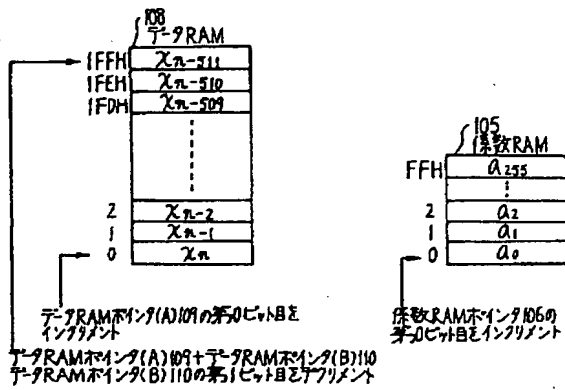
代理人 井理士 内 原 晋

第1図は本発明の直線位相FIR型デジタルフィルタ用演算プロセッサの一実施例の構成図、第2図は第1図の実施例におけるデータRAM108と係数RAM105のRAMマップを示す図、第3図は従来の直線位相FIR型デジタルフィルタ用演算プロセッサの構成図、第4図は512タップ直線位相FIR型デジタルフィルタの構成図、第5図は第3図におけるデータRAM308と係数RAM305のRAMマップを示す図である。

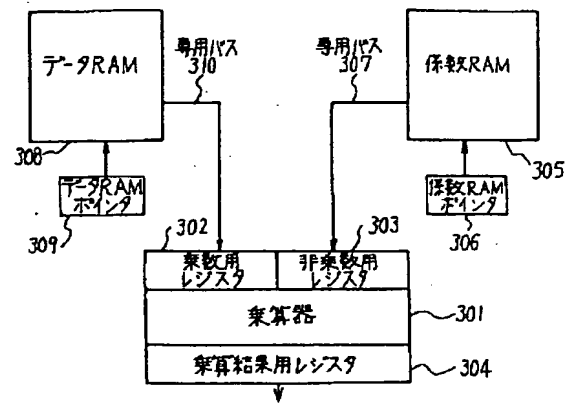
101, 301…乗算器、102, 302…乗数用レジスタ、103, 303…非乗数用レジスタ、104, 304…乗算結果用レジスタ、105, 305…係数RAM、106, 306…係数RAMポインタ、107, 307…専用バス、108, 308…データRAM、109…データRAMポインタ(A)、110…データRAMポインタ(B)、111, 112…加算器、113, 307, 310…専用バス、a<sub>0</sub>〜a<sub>511</sub>…フィルタ係数、Z<sup>-1</sup>…単位遅延素子、



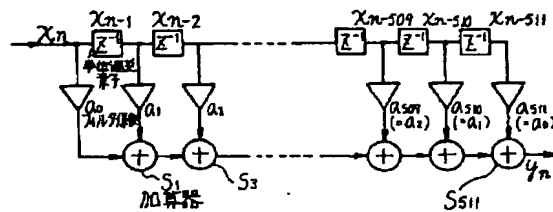
第1図



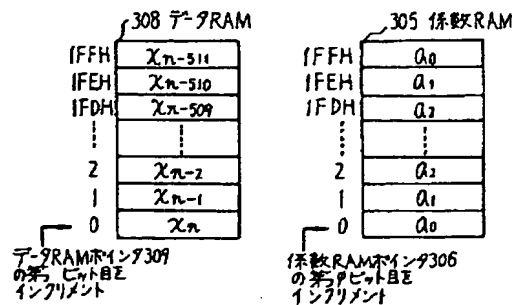
第2図



第3図



第4図



第5図